

10/553974, 974

Rec'd PTO 19 OCT 2005

(12) 協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年4月28日 (28.04.2005)

PCT

(10) 国際公開番号  
WO 2005/038655 A1

(51) 国際特許分類<sup>7</sup>: G06F 12/00, 12/06  
(21) 国際出願番号: PCT/JP2004/015463  
(22) 国際出願日: 2004年10月13日 (13.10.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2003-357694  
2003年10月17日 (17.10.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 中西 雅浩

(NAKANISHI, Masahiro). 泉 智紹 (IZUMI, Tomoaki). 笠原 哲志 (KASAHARA, Tetsushi). 田村 和明 (TAMURA, Kazuaki). 松野 公則 (MATSUNO, Kiminori).

(74) 代理人: 岡本 宜喜 (OKAMOTO, Yoshiki); 〒5770066 大阪府東大阪市高井田本通7-7-19 昌利ビル 安田岡本特許事務所内 Osaka (JP).

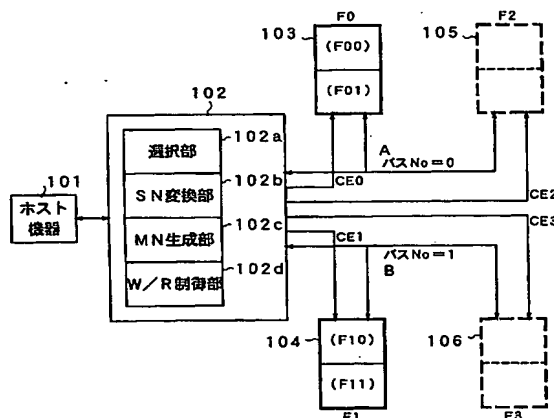
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE, CONTROLLER, AND READ/WRITE CONTROL METHOD THEREOF

(54) 発明の名称: 半導体メモリ装置及びコントローラ並びにその読み書き制御方法



101... HOST DEVICE  
102a... SELECTION UNIT  
102b... SN CONVERSION UNIT  
102c... MN GENERATION UNIT  
102d... W/R CONTROL UNIT  
A...BUS No=0  
B...BUS No=1

(57) Abstract: It is possible to select one of the memory configurations. One of them is to connect four flash memories (F0 to F3) to two memory buses by dividing the four into two. The other is to divide each of the two flash memories (F0, F1) into first and second areas of substantially identical size (F00 to F11) and connect two of them to the two memory buses one by one. When the four-memory configuration is selected, the continuous logic address specified by a host device is divided into a predetermined size and write is performed by cyclically repeating F0, F1, F2, F4 in this order. When the two-memory configuration is selected, write is performed by cyclically repeating F00, F10, F01, F11. Thus, the controller processing is made common regardless of the number of the flash memories connected to the controller.

[続葉有]

WO 2005/038655 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

4つのフラッシュメモリF0～F3を2つのメモリバスに2つずつ接続するか、2つのフラッシュメモリF0、F1を概ね等しいサイズの領域に2分割して前後半領域を形成したもの(F00～F11)を、2つのメモリバスに一つずつ接続するかを選択する。4メモリ構成時は、ホスト機器から指定される連続論理アドレスを所定サイズ毎に区分し、F0、F1、F2、F4をこの順で繰り返し巡回する形式にて書き込みを行う。2メモリ構成時は、F00、F10、F01、F11を繰り返し巡回する形式にて書き込みを行う。こうしてコントローラに接続するフラッシュメモリの数に関わらず、コントローラ処理の共通化を図る。

## 明細書

## 半導体メモリ装置及びコントローラ並びにその読み書き制御方法

## 5 技術分野

本発明は、半導体メモリとして不揮発性メモリ（フラッシュメモリ）を用いた半導体メモリ装置及びコントローラ並びにその読み書き制御方法に関するものである。

## 10 背景技術

半導体メモリ装置の中で、SDメモリカード（登録商標）やコンパクトフラッシュ（登録商標）等のメモリカードは、小型サイズという特徴を有している。このような特徴を活かして、メモリカードはデジタルスチルカメラ等のポータブル機器の着脱可能なメモリ装置として実用に供されている。

- 15 実用化されているメモリカードは、その内部に不揮発性メモリ（フラッシュメモリ）及びその制御回路であるコントローラLSIが内蔵されている。近年、メモリカードに対して、大容量化及び高速書き込みのニーズが高くなってきている。そのため複数チップの不揮発性メモリを内蔵し、複数のメモリバス、例えば2つのメモリバスで不揮発性メモリとコントローラLSIを
- 20 接続して、並列に書き込みを行う等の工夫がなされている。これらの技術の一例が特開平6-119128号公報に開示されている。

- しかしながら従来の半導体メモリ装置において、メモリカードの容量のバリエーション、例えば、256MBや512MB等を実現するためには、単に内蔵する不揮発性メモリの実装数を変更するだけでは十分ではない。言い
- 25 換えれば、不揮発性メモリの実装数に応じてコントローラLSI内部のアドレス管理処理を切り替える必要が生じる。このため内部処理が煩雑となり、その仕組みを取り入れることで、コントローラLSIのコストが増加すると

いった欠点があった。

本発明は上記問題点に対して、内蔵する不揮発性メモリの枚数を変更しても、同一処理で制御できるコントローラLSI（以降、単にコントローラと称す）を実現することである。言い換えれば本発明は、コントローラの汎用性を高め、結果的に半導体メモリ装置の低価格化を実現することである。具体的には2つのバスを介してそれぞれ2つずつ（計4つ）の不揮発性メモリ（フラッシュメモリ）を制御することを基本とする。そしてコントローラのアドレス管理処理を簡素化し、2つのバスを介してそれぞれに1つずつ（計2つ）の不揮発性メモリを共通的に制御できるコントローラを実現することである。

#### 発明の開示

本発明による半導体メモリ装置及び不揮発性メモリのコントローラは、ホスト機器からの読み書き指示に応じて複数の不揮発性メモリに第1及び第2の2つのメモリバスを介して読み書き制御を行うことを特徴にしている。

第1のメモリバスに不揮発性メモリF0が接続され、第2のメモリバスに不揮発性メモリF1が接続される場合を2メモリ構成と呼ぶ。そして第1のメモリバスに2つの不揮発性メモリF0、F2が接続され、第2のメモリバスに2つの不揮発性メモリF1、F3が接続される場合を4メモリ構成と呼ぶ。本発明はこのような2種類のメモリ構成を選択可能とする。各々の不揮発性メモリを概ね等しいサイズの領域に2分割して前後半領域を形成するとき、コントローラに対して、ホスト機器から指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するシーケンシャルナンバー変換手段を設け、論理シーケンシャルナンバーに対して0から3の値を繰り返す4の剰余系を成す論理シーケンシャルモジュロナンバーを生成するモジュロナンバー生成部を設ける。ホスト機器から連続論理アドレスへの書き込み指示がなされると、論理シーケンシャルモジュロナンバーに基づき、

4メモリ構成の場合は、F 0、F 1、F 2、F 3を繰り返し巡回する形式でデータの書き込みを行い、2メモリ構成の場合は、F 0の前半領域、F 1の前半領域、F 0の後半領域、F 1の後半領域を繰り返し巡回する形式でデータの書き込みを行う。

- 5      このような構成によれば、コントローラの基本アーキテクチャ（アドレス管理処理）が4フラッシュメモリ構成の制御をすることを基本としながらも、2フラッシュメモリ構成の場合はそれぞれのメモリを2つの領域に分割して仮想的に4フラッシュメモリ構成として制御可能としたので、2メモリ構成のアドレス管理処理も1つのアーキテクチャで共用化できる。言い換えれば不揮発性メモリ（フラッシュメモリ）が4つの場合と2つの場合でアドレス管理処理をそれぞれ個別に設ける必要がないので、コントローラ並びに半導体メモリ装置のコストを下げる事が可能となる。
- 10

#### 図面の簡単な説明

- 15      第1図は本発明の実施例によるコントローラを含む半導体メモリ装置の全体構成を示したブロック図である。

第2図は半導体メモリ装置に用いられるフラッシュメモリを4フラッシュメモリ接続とした場合のF 0の構成図である。

- 20      第3図は半導体メモリ装置に用いられるフラッシュメモリを2フラッシュメモリ接続とした場合のF 0の構成図である。

第4図は半導体メモリ装置におけるブロックの構成を示した概念図である。

第5図は半導体メモリ装置における論理アドレスフォーマットの構造例を示した概念図である。

- 25      第6図は半導体メモリ装置の書き込みシーケンスを示す概念図である。

発明を実施するための最良の形態

以下、本発明の実施例における半導体メモリ装置及びそのコントローラについて、図面を用いて説明する。第1図は本実施例による半導体メモリ装置の構成を示すブロック図である。半導体メモリ装置はコントローラ102と複数のフラッシュメモリ103～106とを有している。ここでフラッシュメモリ103、104、105、106をそれぞれF0、F1、F2、F3として説明する場合もある。

コントローラ102は、ホスト機器101からのデータ書き込み命令又は読み出し命令に応じて転送された連続した論理アドレス列に対して、論理アドレスから物理アドレスに変換すると共に、4つのフラッシュメモリ103、104、105、106又は2つのフラッシュメモリ103、104にデータを書き込み又は読み出しを行うものである。なお、フラッシュメモリ105、106を破線で示しているが、これは不揮発性メモリが2フラッシュメモリ構成の場合には除外されることを表す。

また、各フラッシュメモリ103、104、105、106はそれぞれチップイネーブル信号CE0、CE1、CE2、CE3によって独立に選択される。また、コントローラ102とフラッシュメモリ103～107は、2つのメモリバスを用い接続されており、バス番号0のメモリバスには、フラッシュメモリ103、105が接続され、バス番号1のメモリバスには、フラッシュメモリ104、106が接続される。

なお、コントローラ102は、不揮発性メモリに対するデータの書き込み動作や読み出し動作の制御を行うものであるが、機能的には選択部102a、シーケンシャルナンバー変換部（SN変換部）102b、モジュロナンバー生成部（MN生成部）102c、読み書き制御部（W/R制御部）102dを有している。

選択部102aは、フラッシュメモリが2メモリ構成であるか、又は4メモリ構成であるのかを判断し、いずれか一方を選択するものである。具体的には、電源立ち上げ直後の初期化処理において、選択部102aは、コント

ローラ 102 におけるチップイネーブル信号 CE 0、CE 1、CE 2、CE 3 を送出するための各端子がフラッシュメモリに接続されているかどうか、即ちオープンなのかどうかをチェックすることによって、実装されているフラッシュメモリの数判断する。SN変換部 102b は、ホスト機器 101

5 から指定される論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するものである。MN生成部 102c は、論理シーケンシャルナンバーに対して 0 から 3 の値を繰り返す 4 の剰余系を成す論理シーケンシャルモジロナンバーを生成するものである。W/R制御部 102d は、ホスト機器 101 から連続論理アドレスへの書き込み指示がなされると、論理シーケ

10 ンシャルモジロナンバーに基づき、4メモリ構成の場合は、F 0、F 1、F 2、F 3 を選択的に繰り返し巡回する形式で書き込みを行い、2メモリ構成の場合は、F 0 の前半領域、F 1 の前半領域、F 0 の後半領域、F 1 の後半領域を選択的に繰り返し巡回する形式で書き込みを行うものである。また W/R制御部 102d は、メモリ構成に応じて、アクセス要求のあったデータを読み出す。このような機能を有するコントローラ 102 は、具体的には

15 マイクロコンピュータや RAM 等を有し、その周辺デバイス、ソフトウェアなどにより構成される。

第 2 図及び第 3 図は 1 つのフラッシュメモリの内部構成を表す。第 2 図に示す 201 は 4 フラッシュメモリ構成時のフラッシュメモリ 103 の模式図である。一方第 3 図に示す 202 は 2 フラッシュメモリ構成時のフラッシュメモリ 103 の模式図である。なお、その他のフラッシュメモリ、即ち 4 フラッシュメモリ構成時はフラッシュメモリ 104、105、106 もフラッシュメモリ 103 と同様の構成とする。2 フラッシュメモリ構成時はフラッシュメモリ 104 もフラッシュメモリ 103 と同様の構成とする。

20

4メモリ構成時のフラッシュメモリは、2つの領域、即ちユニット番号 0、1 に分割して制御される。2メモリ構成時のフラッシュメモリは、2つの仮想フラッシュメモリ、即ちメモリ F 00、F 01 に分割して制御される。

25

なお、各フラッシュメモリは、図示するように複数のブロック（BL）単位に分割して扱われる。

第4図は、消去単位であるブロックの内部構成図であり、これは第2図及び第3図に示した各ブロック（BL）に相当する。データの書き込み単位は  
5 1 ページ（2KB）である。各ページは4セクター、即ちセクター0～3から構成される。各セクターは512Bの容量を有している。そして1ブロックは128ページ（ページ0～127）で構成される。なお、説明の簡単化のため、各セクターや各ページの管理領域については省略している。

第5図は論理アドレスフォーマットを示す説明図である。第5図に示すよ  
10 うに、論理アドレスフォーマットは、1ビットのユニットNo、所定ビット数の論理ブロックNo、7ビットのページNo、1ビットのペアNo、1ビットのバスNo、2ビットのセクターNoを有する。

セクターNoは、第4図に示したセクター0～3のいずれかを選択するためのビットである。バスNoは、第1図に示されるとおり2つのメモリバスの  
15 の何れかを選択するビットである。ペアNoは、フラッシュメモリの組合せを選択するビットである。4メモリ構成の場合は、フラッシュメモリ103、104のペアか、フラッシュメモリ105、106のペアかを選択する。2メモリ構成の場合は、フラッシュメモリ103、104の前半領域（第1図に示すF00、F10）のペアか、フラッシュメモリ103、104の後  
20 半領域（第1図に示すF01、F11）のペアかを選択する。例えば、ペアNoの値が0の場合、4メモリ構成時はフラッシュメモリ103、104のグループをアクセスする。2メモリ構成時はフラッシュメモリ103、104の各前半領域（F00、F10）のグループをアクセスする。一方、ペアNoの値が1の場合、4メモリ構成時はフラッシュメモリ105、106の  
25 グループをアクセスする。2メモリ構成時はフラッシュメモリ103、104の各後半領域（F01、F11）のグループをアクセスする。

ページNoは、第4図に示した1ブロック当たりの全ページ数（128ペ

ージ)のうち、いずれかのページを選択するためのビットである。論理ブロックNoは、各フラッシュメモリの半分の領域、即ち第2図の201ではユニットNo0もしくはユニットNo1、第3図の202ではF00もしくはF01当たりの論理ブロックNoであり、所定のビット数で構成される。この論理ブロックNoは、コントローラ102において論物変換テーブルによって物理ブロックNoに変換されてブロックの選択が行われる。論物変換テーブルとは、所定の規則に基づき論理アドレスを物理アドレスに変換する際に用いるテーブルである。

ユニットNoは、4メモリ構成の場合に用いられるビットで、第2図の201に示したように、フラッシュメモリの前後半を選択するビットである。ペアNoとバスNoの2ビットによって、4メモリ構成の場合は、4つのフラッシュメモリ103～106の何れかを特定することができ、2メモリ構成の場合は、F00、F01、F10、F11の4つの仮想的なフラッシュメモリの何れかを特定することができる。

15     なお、上述の論理アドレスフォーマットは、あくまで一例であり、フラッシュメモリの構造やアーキテクチャによって、ビット数や配列などが変更され得ることは言うまでもない。

第6図は、ホスト機器101からのデータ書き込み命令に応じて転送された連続した論理アドレス列（以降、論理シーケンシャルNoとする）に対応して、どのフラッシュメモリ（あるいは領域）にデータが書き込まれるかを示したタイミングチャートである。

以下、第6図を中心に本実施例による半導体メモリ装置の動作について説明する。第6図の(1)において、ホスト機器101からデータ書き込み命令と共に、論理シーケンシャルNo (L. S. No) がコントローラ102に転送される。論理シーケンシャルNoは2KB（書き込み単位であるページサイズに相当）毎に番号順となっており、この番号は第5図に示す論理アドレスフォーマットにおけるバスNoのビットがインクリメント位置となる

ようにインクリメントされるものである。コントローラ102はこのビット位置を起点にページ単位でインクリメントしながら各フラッシュメモリへの書き込みを行う。

この論理シーケンシャルNoは、第6図の(2)に示すように0から3の  
5 値を取る4の剰余系に変換されるか、又は下位2ビットだけを取り出され、  
論理シーケンシャルモジュロNo (L. S. M. No) としてフラッシュメモ  
リの選択に供される。即ち、4は0、5は1というように、0、1、2、  
3、又は2ビット表現の場合は00、01、10、11となるよう、ペアNo  
とバスNoがインクリメントされることになる。なお、第6図ではフラッ  
10 シュメモリ103をF0、104をF1、105をF2、106をF3として  
表す。

したがって、4フラッシュメモリ構成(4FM)においては、ペアNoは  
フラッシュメモリF0、F1の時に値0となるので、書き込み順としては、  
第6図の(3)に示すようにF0、F1、F2、F3を巡回する形で繰り返  
15 されることとなる。一方、2フラッシュメモリ構成(2FM)において、ペ  
アNoはフラッシュメモリF0の前半領域F00とフラッシュメモリF1の  
前半領域F10の時に値0となるので、書き込み順としては、第6図の(4  
)に示すようにF00、F10、F01、F11を巡回する形で繰り返され  
ることとなる。なお、書き込みのスタートは、F0あるいはF00以外から  
20 であっても良い。このようにフラッシュメモリを概ね等しい2つの論理領域  
の2分割し、ペアNoの定義を変えるだけで同一のアドレス処理、即ち第5  
図に示す論理アドレスフォーマットを用いて4フラッシュメモリ構成及び2  
フラッシュメモリ構成の書き込みアドレス管理が行える。

なお、本実施例においては、1つのフラッシュメモリの全領域に対して論  
25 理アドレス範囲を2分割したが、例えば領域0~7の8領域に分割して、前  
半の領域0~3と後半の領域4~7をそれぞれペアNoが0と1となるよう  
にグルーピングしても構わない。

#### 産業上の利用の可能性

- 本発明にかかる半導体メモリ装置は、特に大容量の不揮発性メモリ（フラッシュメモリ）、即ちブロック数が大きく領域分割管理した方が合理的なメモリカード等において、内蔵する不揮発性メモリの個数を変更することによってカード容量を変更する際には大変有益である。また本発明のコントローラは、不揮発性メモリが複数チップ内蔵されたメモリモジュールに付加することにより、任意の容量を有する半導体メモリ装置の機能を実現することができる。

## 請 求 の 範 囲

1. 複数の不揮発性メモリと、ホスト機器からの読み書き指示に応じて前記複数の不揮発性メモリに第1のメモリバス及び第2のメモリバスを介して読み書き制御を行うコントローラと、を有する半導体メモリ装置であって、

- 5 前記第1のメモリバスに不揮発性メモリF0が接続され、前記第2のメモリバスに不揮発性メモリF1が接続される場合を2メモリ構成と呼び、前記第1のメモリバスに2つの不揮発性メモリF0、F2が接続され、前記第2のメモリバスに2つの不揮発性メモリF1、F3が接続される場合を4メモリ構成と呼ぶ場合、

- 10 前記コントローラは、

前記2メモリ構成及び前記4メモリ構成のいずれか一方を選択する選択部と、

各々の不揮発性メモリを2つの領域に分割して前半領域及び後半領域を形成し、前記ホスト機器から指定される連続論理アドレスを所定サイズ毎の論

- 15 理シーケンシャルナンバーに変換するシーケンシャルナンバー変換部と、

前記論理シーケンシャルナンバーに対して4の剰余系の論理シーケンシャルモジュロナンバーを生成するモジュロナンバー生成部と、

- 20 前記ホスト機器から連続論理アドレスへの書き込み指示がなされると、前記論理シーケンシャルモジュロナンバーに基づき、前記4メモリ構成の場合は、不揮発性メモリF0、F1、F2、F3を選択的に繰り返し巡回する形式で書き込みを行い、前記2メモリ構成の場合は、F0の前半領域、F1の前半領域、F0の後半領域、F1の後半領域を選択的に繰り返し巡回する形式で書き込みを行う書き込み制御部と、を備える半導体メモリ装置。

- 25 2. 前記不揮発性メモリが2以上の論理アドレス範囲に分割され、前記論理アドレス範囲毎に論理アドレスを物理アドレスに変換する論物変換テーブルを設けた請求項1記載の半導体メモリ装置。

3. ホスト機器からの読み書き指示に応じて複数の不揮発性メモリに第1のメモリバス及び第2のメモリバスを介して読み書き制御を行うコントローラであって、

- 5 前記第1のメモリバスに不揮発性メモリF0が接続され、前記第2のメモリバスに不揮発性メモリF1が接続される場合を2メモリ構成と呼び、前記第1のメモリバスに2つの不揮発性メモリF0、F2が接続され、前記第2のメモリバスに2つの不揮発性メモリF1、F3が接続される場合を4メモリ構成と呼ぶ場合、
- 10 前記2メモリ構成及び前記4メモリ構成のいずれか一方を選択する選択部と、

各々の不揮発性メモリを2つの領域に分割して前半領域及び後半領域を形成し、前記ホスト機器から指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換するシーケンシャルナンバー変換部と、

- 15 前記論理シーケンシャルナンバーに対して4の剰余系の論理シーケンシャルモジュロナンバーを生成するモジュロナンバー生成部と、

- 前記ホスト機器から連続論理アドレスへの書き込み指示がなされると、前記論理シーケンシャルモジュロナンバーに基づき、前記4メモリ構成の場合は、不揮発性メモリF0、F1、F2、F3を選択的に繰り返し巡回する形式で書き込みを行い、前記2メモリ構成の場合は、F0の前半領域、F1の前半領域、F0の後半領域、F1の後半領域を選択的に繰り返し巡回する形式で書き込みを行う書き込み制御部と、を備えるコントローラ。
- 20

4. ホスト機器からの読み書き指示に応じて複数の不揮発性メモリに第1のメモリバス及び第2のメモリバスを介して読み書き制御を行う半導体メモリの読み書き制御方法であって、
- 25

前記第1のメモリバスに不揮発性メモリF0が接続され、前記第2のメモ

リバスに不揮発性メモリ F 1 が接続される場合を 2 メモリ構成と呼び、前記第 1 のメモリバスに 2 つの不揮発性メモリ F 0、F 2 が接続され、前記第 2 のメモリバスに 2 つの不揮発性メモリ F 1、F 3 が接続される場合を 4 メモリ構成と呼ぶとき、

- 5 前記 2 メモリ構成及び前記 4 メモリ構成のいずれか一方を選択し、

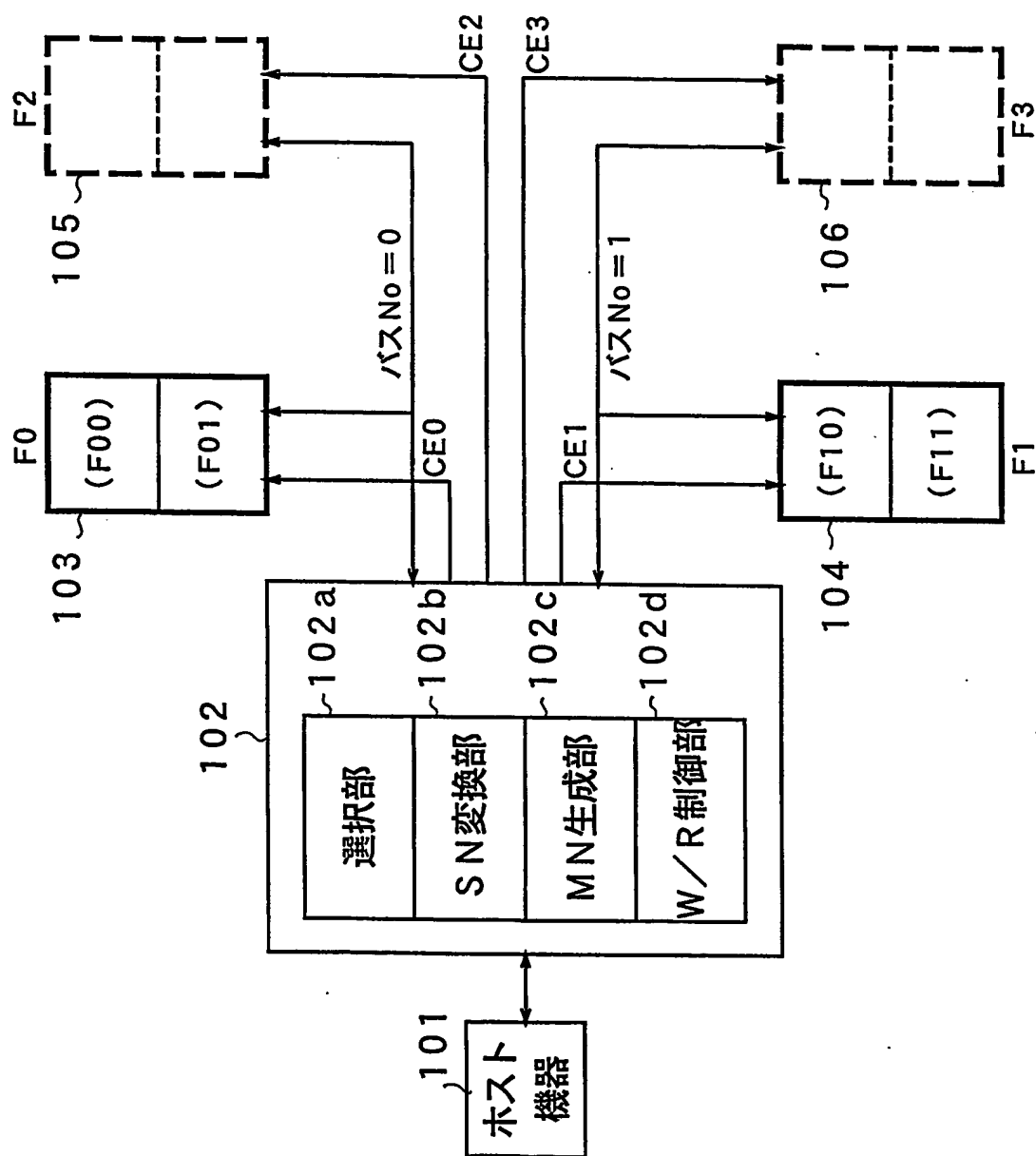
各々の不揮発性メモリを 2 つの領域に分割して前半領域及び後半領域を形成し、前記ホスト機器から指定される連続論理アドレスを所定サイズ毎の論理シーケンシャルナンバーに変換し、

- 10 前記論理シーケンシャルナンバーに対して 4 の剰余系を成す論理シーケンシャルモジュロナンバーを生成し、

- 15 前記ホスト機器から連続論理アドレスへの書き込み指示がなされると、前記論理シーケンシャルモジュロナンバーに基づき、前記 4 メモリ構成の場合は、不揮発性メモリ F 0、F 1、F 2、F 3 を選択的に繰り返し巡回する形式で書き込みを行い、前記 2 メモリ構成の場合は、F 0 の前半領域、F 1 の前半領域、F 0 の後半領域、F 1 の後半領域を選択的に繰り返し巡回する形式で書き込みを行う半導体メモリの読み書き制御方法。

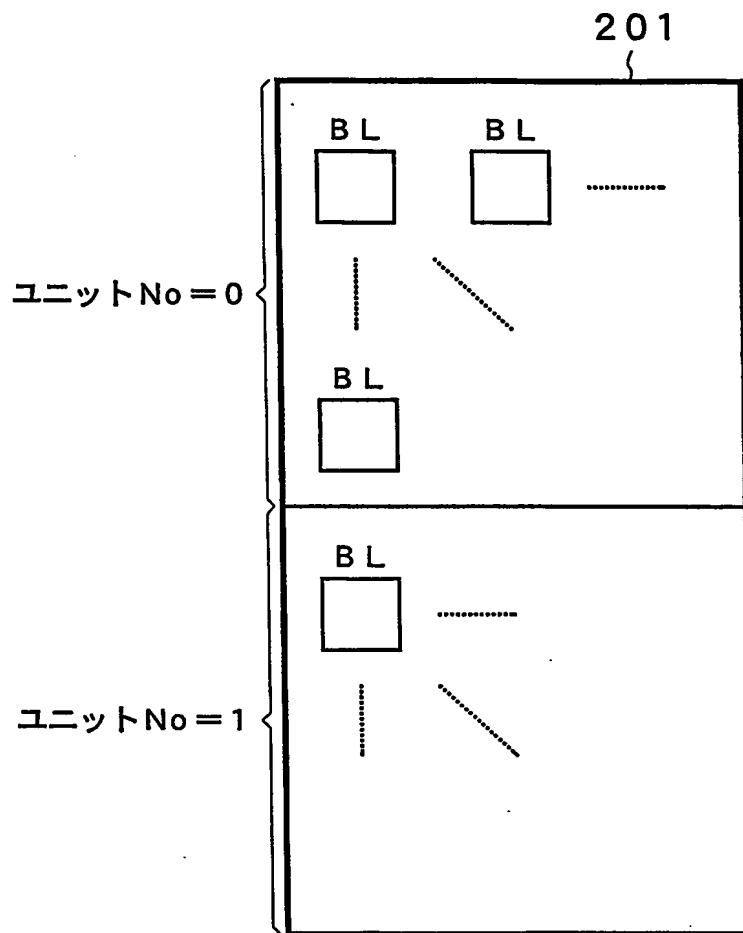
1 / 6

第1図

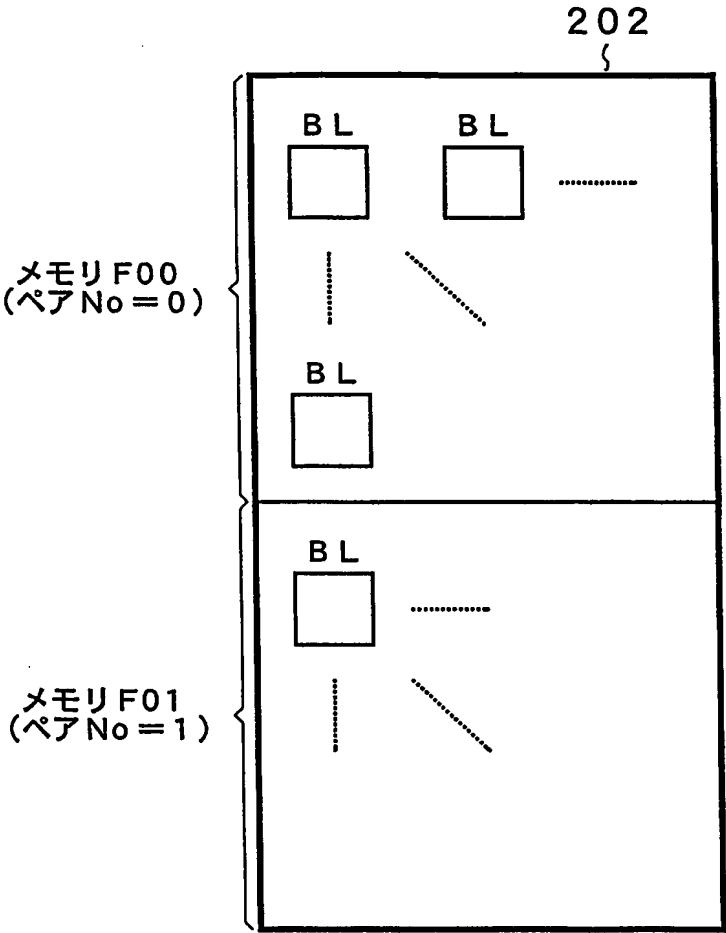


2 / 6

第2図



第3図



4 / 6

## 第4図

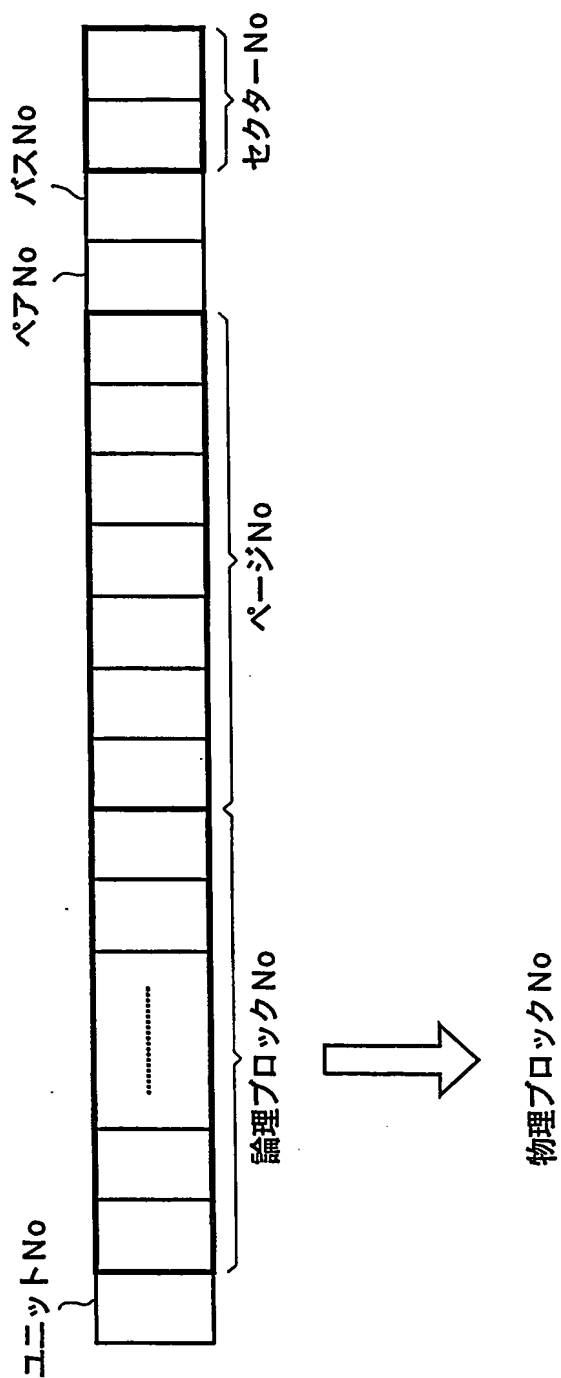
ページ番号

0	セクター3	セクター2	セクター1	セクター0
1	セクター3	セクター2	セクター1	セクター0
⋮	⋮			
N	セクター3	セクター2	セクター1	セクター0
⋮	⋮			
127	セクター3	セクター2	セクター1	セクター0

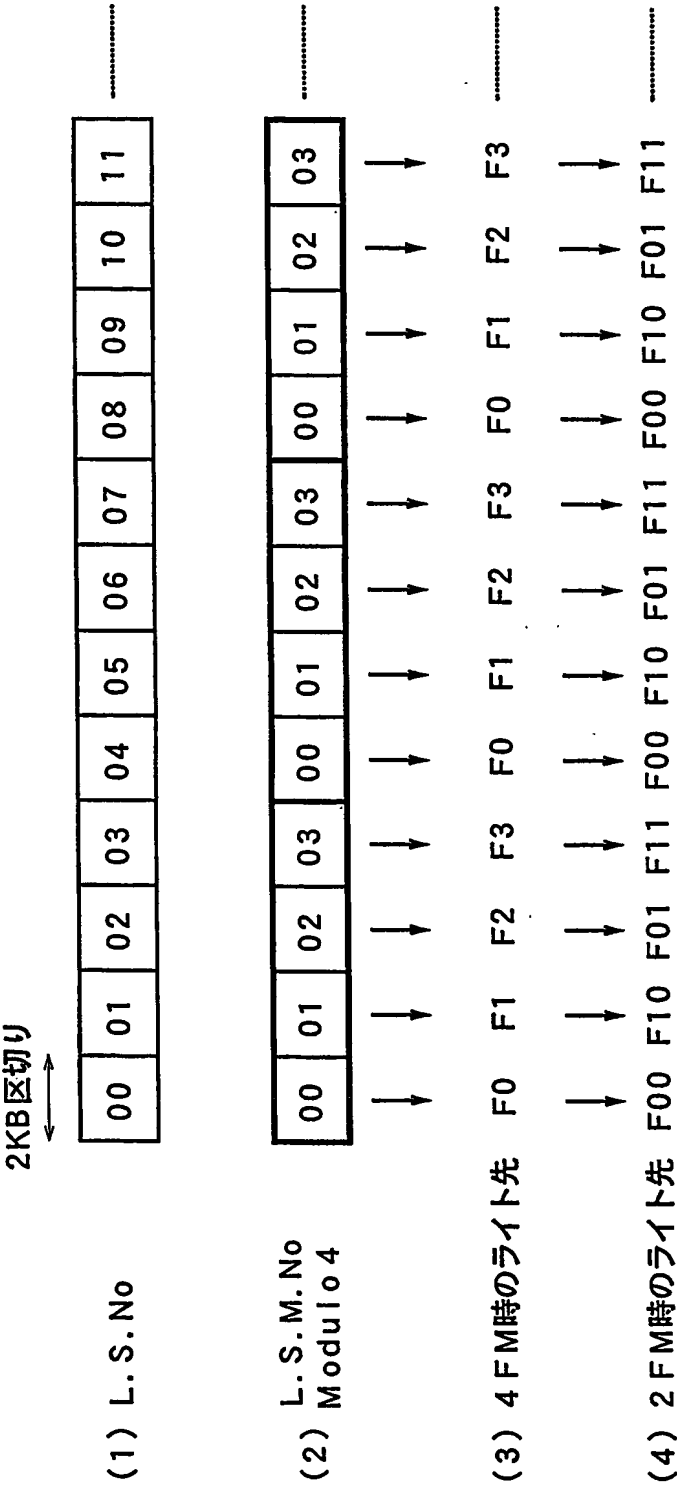
ページ (2KB)

5 / 6

第5図



第6図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015463

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06F12/00, G06F12/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G06F12/00, G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-20181 A (Fujitsu Ltd.), 29 January, 1993 (29.01.93), Full text; Figs. 2, 5 (Family: none)	1-4
A	JP 48-66745 A (Fujitsu Ltd.), 12 September, 1973 (12.09.73), Full text; Fig. 4 (Family: none)	1-4
A	JP 7-295880 A (Toshiba Corp.), 10 November, 1995 (10.11.95), Par. Nos. [0080] to [0093]; Fig. 4 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
09 November, 2004 (09.11.04)

Date of mailing of the international search report  
22 November, 2004 (22.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/015463

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-187359 A (Toshiba Corp.), 14 July, 1998 (14.07.98), Full text; Fig. 1 (Family: none)	1-4

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G06F12/00, G06F12/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G06F12/00, G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国実用新案登録公報 1996-2004年  
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-20181 A (富士通株式会社) 1993. 01. 29, 全文, 第2図、第5図 (ファミリーなし)	1-4
A	JP 48-66745 A (富士通株式会社) 1973. 09. 12, 全文, 第4図 (ファミリーなし)	1-4
A	JP 7-295880 A (株式会社東芝) 1995. 11. 10, 段落【0080】-【0093】, 第4図 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

09. 11. 2004

国際調査報告の発送日

22.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丹治 彰

5N

3135

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-187359 A (株式会社東芝) 1998. 07. 14, 全文, 第1図 (ファミリーなし)	1-4